

#4

2151

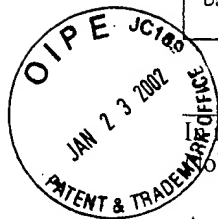
I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to: Commissioner for Patents, Washington, DC 20231, on the date shown below.

Dated: December 19, 2001

Signature:

(Robert B. Cohen)

Docket No.: SCEI 3.0-086
(PATENT)



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re Patent Application of:
Shobuo Sasaki

Application No.: 09/964,247

Group Art Unit: 2151

Filed: September 26, 2001

Examiner: Not Yet Assigned

For: MULTI-PROCESSOR SYSTEM, DATA
PROCESSING SYSTEM, DATA PROCESSING
METHOD, AND COMPUTER PROGRAM

COPY OF PAPERS
ORIGINALLY FILED

RECEIVED

JAN 29 2002

Technology Center 2100

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign countries on the dates indicated:

Country	Application No.	Date
Japan	2000-294732	September 27, 2000
Japan	2001-289588	September 21, 2001

In support of this claim, certified copies of the original foreign applications are filed herewith.

Dated: December 19, 2001

Respectfully submitted,

By

Robert B. Cohen

Registration No.: 32,768

LERNER, DAVID, LITTENBERG,
KRUMHOLZ & MENTLIK, LLP

600 South Avenue West
Westfield, New Jersey 07090
(908) 654-5000

Attorneys for Applicant



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 9月27日

RECEIVED

JAN 29 2002

出願番号
Application Number:

特願2000-294732

Technology Center 2100

出願人
Applicant(s):

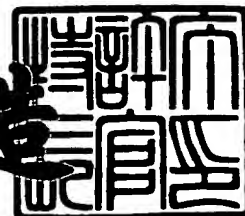
株式会社ソニー・コンピュータエンタテインメント

COPY OF PAPERS
ORIGINALLY FILED

2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3066842

【書類名】 特許願

【整理番号】 SCEI99190

【提出日】 平成12年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/16

【発明者】

 【住所又は居所】 東京都港区赤坂7丁目1番1号 株式会社ソニー・コンピュータエンタテインメント内

 【氏名】 佐々木 伸夫

【特許出願人】

 【識別番号】 395015319

 【氏名又は名称】 株式会社ソニー・コンピュータエンタテインメント

【代理人】

 【識別番号】 100099324

 【弁理士】

 【氏名又は名称】 鈴木 正剛

【選任した代理人】

 【識別番号】 100108604

 【弁理士】

 【氏名又は名称】 村松 義人

【選任した代理人】

 【識別番号】 100111615

 【弁理士】

 【氏名又は名称】 佐野 良太

【手数料の表示】

 【予納台帳番号】 031738

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特 2 0 0 0 - 2 9 4 7 3 2

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサシステム及びデータ処理方法

【特許請求の範囲】

【請求項 1】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラとを備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、自プロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うものである、

マルチプロセッサシステム。

【請求項 2】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするとともに前記複数のプロセッサのデータ処理結果を保持するコントローラとを備えており、

前記コントローラは、ブロードキャストされる前記データに、前記データ処理結果と、当該データ処理結果を導出したプロセッサを特定するアドレスとを付加するものであり、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、前記アドレスに基づいて自プロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うものである、

マルチプロセッサシステム。

【請求項 3】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするとともに前記複数のプロセッサのデータ処理結果を保持するコントローラと、前記コントローラによる前記複数のプロセッサからのデータ処理結果取得順序を決めるソート機構と、を備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、自プロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、データ処理の終了時に、自プロセッサを特定する識別データ及び前記コントローラが前記複数のプロセッサからデータ処理

結果を取得するときの優先度を示す優先度データを前記ソート機構へ送信するものであり、

前記ソート機構は、前記優先度データにより示される優先度から、前記コントローラによる前記複数のプロセッサからのデータ処理結果取得順序を決めるとともに、この順序に応じて識別データを前記コントローラへ送信するものであり、

前記コントローラは、前記ソート機構から送信された前記識別データにより特定されるプロセッサからデータ処理結果を取得するものである、

マルチプロセッサシステム。

【請求項 4】 ブロードキャストされる前記データは、前記コントローラが保持する前記データ処理結果と、当該データ処理結果を導出したプロセッサを特定するアドレスとを含むデータであり、

前記プロセッサは、前記アドレスに基づいてデータ処理に必要なデータのみを取捨選択するものである、

請求項 3 記載のマルチプロセッサシステム。

【請求項 5】 前記コントローラは、

前記データ処理結果が記録される記録手段と、

ブロードキャストされる前記データを生成するデータ生成手段と、

前記複数のプロセッサに対して前記データをブロードキャストするとともに、前記ソート機構から送信される前記識別データにより特定されるプロセッサから新たなデータ処理結果を取得して前記記録手段に記録する通信制御手段と、を含んで構成される、

請求項 3 記載のマルチプロセッサシステム。

【請求項 6】 前記プロセッサは、

ブロードキャストされた前記データを自プロセッサによるデータ処理に必要なデータか否かを判断して、必要なデータのみを取捨選択してデータ処理を行うデータ処理機構と、

前記コントローラからデータ処理結果の送信の要請があると、データ処理結果を前記コントローラへ送信する出力バッファと、

データ処理の終了時に、前記識別データ及び前記優先度データをソート機構へ

送信する W T A バッファと、を含んで構成される、

請求項 3 記載のマルチプロセッサシステム。

【請求項 7】 前記ソート機構は、

前記識別データ及び前記優先度データを取得する複数の入力レジスタと、

前記複数の入力レジスタの各々が取得した優先度データにより優先度の比較を行う比較器と、

比較結果に基づいて前記識別データを前記コントローラへ送信する出力レジスタと、を含んで構成される、

請求項 3 記載のマルチプロセッサシステム。

【請求項 8】 前記ソート機構は、

前記識別データ及び前記優先度データの組を 2 組の入力とするとともに、前記 2 組のデータのうち優先度データによって優先度の比較を行い、比較結果に基づいていずれかの組の前記識別データを出力する 1 又は複数の電子回路、を備えており、

この電子回路の各々は前記プロセッサ又は他の前記電子回路が接続され、

当該電子回路の出力は他の電子回路又は前記コントローラに入力される、

請求項 3 記載のマルチプロセッサシステム。

【請求項 9】 各々異なるテンプレートデータを保持する複数のプロセッサと、前記複数のプロセッサに対して入力データをブロードキャストするとともに、入力データの特徴に最も類似するテンプレートデータを保持する一のプロセッサを特定するコントローラと、を備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記入力データの特徴と自プロセッサが保持するテンプレートデータの特徴との差分値を算出するとともに、算出した前記差分値と自プロセッサを特定する識別データとを前記コントローラへ送信するものであり、

前記コントローラは、各プロセッサから送られる差分値が最小となるテンプレートデータを有する一のプロセッサを前記識別データによって特定するものである、

マルチプロセッサシステム。

【請求項 1 0】 データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラと、前記複数のプロセッサによるデータ処理結果の総和を算出する総和回路と、を備えており、

前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データからデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、データ処理結果を前記総和回路へ送信するものである、

マルチプロセッサシステム。

【請求項 1 1】 前記複数のプロセッサは、共有メモリを介してリング接続されており、

リング接続されたプロセッサ間では、共有メモリを介してデータの送受を行うようにしてなる、

請求項 1 ～ 1 0 のいずれか 1 項に記載のマルチプロセッサシステム。

【請求項 1 2】 複数のプロセッサとコントローラとによりデータ処理を行う方法であって、

前記コントローラで、

各々のプロセッサに設定される状態変数値と当該状態変数値が設定されるプロセッサを示すアドレスとからなるペアデータにより、ブロードキャストデータを作成するとともに、作成したブロードキャストデータを、前記複数のセルプロセッサへブロードキャストするステップと、

前記複数のセルプロセッサの少なくとも一つが、

ブロードキャストデータのアドレスにより自セルプロセッサが行うデータ処理に要する状態変数値があるか否かを確認し、自セルプロセッサが行うデータ処理に要する状態変数値が有る場合は、該当する状態変数値を用いてデータ処理を行って新たな状態変数値を得るステップと、

データ処理の終了を契機に前記制御装置へ自プロセッサを特定する識別データ及び前記制御装置が前記新たな状態変数値を取得するときの優先度を定める優先度データを送信するステップと、

前記コントローラが、

優先度データに従って前記新たな状態変数値を取得する順序を決めるとともに、この順序に従って前記各々のプロセッサから前記新たな状態変数値を取得して、当該プロセッサに設定された状態変数値を更新するステップと、を実行することを特徴とする、

データ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のプロセッサによりデータ処理を行うマルチプロセッサシステムおよびマルチプロセッサシステムを用いたデータ処理方法に関する。

【0002】

【発明の背景】

高度情報化社会が進み、コンピュータ等の情報処理装置による情報処理量は増大する傾向にある。また、情報処理の内容も複雑化、高度化している。従来、CPU (central processor unit) などのプロセッサの高性能化や、複数のプロセッサによるマルチプロセッサ化により情報処理能力の向上を図っている。

しかし、近年、要求される情報処理能力の増大のスピードは、プロセッサの高性能化のスピードを凌駕するまでになっている。しかし、プロセッサの高性能化は、その開発期間が長いこともあり一朝一夕に行えるものではない。

一方、マルチプロセッサによる情報処理能力は、使用するプロセッサの数や、その情報処理方法により決まり、個々のプロセッサの高性能化への依存度が小さい。

【0003】

マルチプロセッサによる情報処理方法を、一つのプロセッサがデータ処理時に必要とするデータの範囲により分類すると、以下のようになる。

(1) 処理を行うプロセッサが、隣接するプロセッサにより処理されたデータのみを使用する (図6)

このような制御は、セル・オートマトン、画像フィルタ、布や波の運動の計算、曲面からのポリゴン生成の計算等に向いている。

(2) 処理を行うプロセッサが、すべてのプロセッサにより処理されたデータを使用する(図7)

このような制御は、連想記憶器、4色問題・トラベリングセールスマン問題等の最適化、ラジオシティ、クラスタリング、多重リンクシミュレーション、学習等に向いている。

(3) 処理を行うプロセッサが、一部のプロセッサにより処理されたデータのみを使用する(図8)

このような制御は、自己組織化計算、視覚を使った判断による群アルゴリズム、多対多の衝突判定、データベース検索、連続曲面の生成・変形計算、ボーンアニメーション、インバースキネマティクス等に向いている。

なお、図6～8において、「○」はプロセッサを表しており、網掛された「○」がデータ処理を行うプロセッサ、「●」が必要とされるデータを保持するプロセッサである。

【0004】

上記の(1)の場合の処理は、従来の並列プロセッサにより効率よく実現可能である。しかし、(2)、(3)の処理は、並列プロセッサ間の通信速度によりシステム全体の処理速度が制限されてしまい、各プロセッサの処理速度を十分に発揮できない。例えば、すべてのプロセッサ間をクロスバー接続することにより、(2)、(3)の処理を高速に行うことも可能であるが、この場合、必要なハードウェアが膨大になり、現実的ではない。

【0005】

本発明の課題は、上記(2)、(3)の処理を好適に行うことのできるマルチプロセッサシステム及びデータ処理方法を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決する本発明のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラとを備えており、前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、自ブ

ロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うものである。

複数のプロセッサの各々が、ブロードキャストされるデータから自プロセッサが必要とするデータのみを取捨選択してデータ処理を行うために、データの競合が起こらず、全体として高速な処理が実現される。

【 0 0 0 7 】

他の本発明のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするとともに前記複数のプロセッサのデータ処理結果を保持するコントローラとを備えており、前記コントローラは、ブロードキャストされる前記データに、前記データ処理結果と、当該データ処理結果を導出したプロセッサを特定するアドレスとを付加するものであり、前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、前記アドレスに基づいて自プロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うものである。

コントローラにより、各プロセッサのデータ処理結果をすべてのプロセッサにブロードキャストするため、各プロセッサは、すべてのプロセッサのデータ処理結果を用いたデータ処理を高速に行うことが可能である。また、ブロードキャストされるデータ処理結果は、当該データ処理結果を導出したプロセッサを特定するアドレスとともにブロードキャストされるため、各プロセッサは、ブロードキャストされたデータ処理結果が、どのプロセッサによる処理結果かを知ることができる。アドレスに基づいてデータの取捨選択を行うことにより、一部のプロセッサによるデータ処理結果のみを用いたデータ処理を高速に行うことが可能である。

【 0 0 0 8 】

他の本発明のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするとともに前記複数のプロセッサのデータ処理結果を保持するコントローラと、前記コントローラによる前記複数のプロセッサからのデータ処理結果取得

順序を決めるソート機構と、を備えており、前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データから、自プロセッサが行うデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、データ処理の終了時に、自プロセッサを特定する識別データ及び前記コントローラが前記複数のプロセッサからデータ処理結果を取得するときの優先度を示す優先度データを前記ソート機構へ送信するものであり、前記ソート機構は、前記優先度データにより示される優先度から、前記コントローラによる前記複数のプロセッサからのデータ処理結果取得順序を決めるとともに、この順序に応じて識別データを前記コントローラへ送信するものであり、前記コントローラは、前記ソート機構から送信された前記識別データにより特定されるプロセッサからデータ処理結果を取得するものである。

ソート機構によってコントローラがデータ処理結果を取得する順序を決めることにより、例えば、マルチプロセッサシステム全体として処理の順序が決まっている場合などに、コントローラが必要な順序でデータ処理結果を取得でき、マルチプロセッサシステム全体としてより複雑な処理を実行可能である。

【 0 0 0 9 】

このマルチプロセッサシステムにおいて、例えば、ブロードキャストされる前記データを、前記コントローラが保持する前記データ処理結果と、当該データ処理結果を導出したプロセッサを特定するアドレスとを含むデータとすると、前記プロセッサは、前記アドレスに基づいていずれのプロセッサによるデータ処理結果であるかを確認でき、これによりデータ処理に必要なデータのみを取捨選択できる。

【 0 0 1 0 】

このようなマルチプロセッサシステムに用いられる前記コントローラは、例えば、前記データ処理結果が記録される記録手段と、ブロードキャストされる前記データを生成するデータ生成手段と、前記複数のプロセッサに対して前記データをブロードキャストするとともに、前記ソート機構から送信される前記識別データにより特定されるプロセッサから新たなデータ処理結果を取得して前記記録手段に記録する通信制御手段と、を含んで構成される。

前記プロセッサは、例えば、ブロードキャストされた前記データを自プロセッサによるデータ処理に必要なデータか否かを判断して、必要なデータのみを取捨選択してデータ処理を行うデータ処理機構と、前記コントローラからデータ処理結果の送信の要請があると、データ処理結果を前記コントローラへ送信する出力バッファと、データ処理の終了時に、前記識別データ及び前記優先度データをソート機構へ送信するWTAバッファと、を含んで構成される。

【0011】

前記ソート機構は、例えば、前記識別データ及び前記優先度データを取得する複数の入力レジスタと、前記複数の入力レジスタの各々が取得した優先度データにより優先度の比較を行う比較器と、比較結果に基づいて前記識別データを前記コントローラへ送信する出力レジスタと、を含んで構成される。

他のソート機構として、例えば、前記識別データ及び前記優先度データの組を2組の入力とするとともに、前記2組のデータのうち優先度データによって優先度の比較を行い、比較結果に基づいていずれかの組の前記識別データを出力する1又は複数の電子回路、を備えており、この電子回路の各々は前記プロセッサ又は他の前記電子回路が接続され、当該電子回路の出力は他の電子回路又は前記コントローラに入力される、ようにしてもよい。

【0012】

他の本発明のマルチプロセッサシステムは、各々異なるテンプレートデータを保持する複数のプロセッサと、前記複数のプロセッサに対して入力データをブロードキャストするとともに、入力データの特徴に最も類似するテンプレートデータを保持する一のプロセッサを特定するコントローラと、を備えており、前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記入力データの特徴と自プロセッサが保持するテンプレートデータの特徴との差分値を算出するとともに、算出した前記差分値と自プロセッサを特定する識別データとを前記コントローラへ送信するものであり、前記コントローラは、各プロセッサから送られる差分値が最小となるテンプレートデータを有する一のプロセッサを前記識別データによって特定するものである。

このような構成のマルチプロセッサシステムにより、データの類似の判断が高

速に行えるようになる。

【0013】

他の本発明のマルチプロセッサシステムは、データ処理を行う複数のプロセッサと、前記複数のプロセッサに対してデータ処理に用いるデータをブロードキャストするコントローラと、前記複数のプロセッサによるデータ処理結果の総和を算出する総和回路と、を備えており、前記複数のプロセッサの各々は、前記コントローラによりブロードキャストされた前記データからデータ処理に必要なデータのみを取捨選択してデータ処理を行うとともに、データ処理結果を前記総和回路へ送信するものである。

データ処理結果の総和は、ニューロ等の最適化計算において、正規化計算のためにしばしば必要とする。計算された総和をブロードキャストして、各プロセッサに送信するようにしてもよい。以上の構成のマルチプロセッサシステムにより、これらの処理も高速に行える。

【0014】

本発明の各マルチプロセッサシステムにおいて、前記複数のプロセッサは、共有メモリを介してリング接続されるようにしてもよく、この場合、リング接続されたプロセッサ間で、共有メモリを介してデータの送受を行うようにしてもよい。

【0015】

本発明のデータ処理方法は、複数のプロセッサとコントローラとによりデータ処理を行う方法であって、前記コントローラで、各々のプロセッサに設定される状態変数値と当該状態変数値が設定されるプロセッサを示すアドレスとからなるペアデータにより、ブロードキャストデータを作成するとともに、作成したブロードキャストデータを、前記複数のセルプロセッサへブロードキャストするステップと、前記複数のセルプロセッサの少なくとも一つが、ブロードキャストデータのアドレスにより自セルプロセッサが行うデータ処理に要する状態変数値があるか否かを確認し、自セルプロセッサが行うデータ処理に要する状態変数値がある場合は、該当する状態変数値を用いてデータ処理を行って新たな状態変数値を得るステップと、データ処理の終了を契機に前記制御装置へ自プロセッサを特定

する識別データ及び前記制御装置が前記新たな状態変数値を取得するときの優先度を定める優先度データを送信するステップと、前記コントローラが、優先度データに従って前記新たな状態変数値を取得する順序を決めるとともに、この順序に従って前記各々のプロセッサから前記新たな状態変数値を取得して、当該プロセッサに設定された状態変数値を更新するステップと、を実行することを特徴とする。

【 0 0 1 6 】

【発明の実施の形態】

以下に、本発明のマルチプロセッサシステムの一実施形態を図面を参照しつつ詳細に説明する。

【 0 0 1 7 】

<全体構成>

図 1 は、本発明のマルチプロセッサシステムの構成図である。

本発明のマルチプロセッサシステム 1 は、ブロードキャストメモリコントローラ（以下、BCMC (broadcast memory controler) という。）10 と、複数のセルプロセッサ 20 と、複数の WTA (winner take all) ・総和回路 30 と、を含んで構成されている。BCMC 10 とすべてのセルプロセッサ 20 とは、ブロードキャストチャネルにより接続されている。

【 0 0 1 8 】

個々の WTA ・総和回路 30 は、2 入力 1 出力の回路であり、入力端にはセルプロセッサ 20 又は他の WTA ・総和回路 30 が接続され、出力端は他の WTA ・総和回路 30 又は BCMC 10 に接続される。例えば、図示するように、WTA ・総和回路 30 は、セルプロセッサ 20 側を一段目としてピラミッド状に接続される。一段目の WTA ・総和回路 30 の入力端の各々には 2 つのセルプロセッサ 20 が接続され、出力端は二段目の WTA ・総和回路 30 の入力端に接続される。二段目以降は、入力端の各々に下段の 2 つの WTA ・総和回路 30 の出力が接続され、出力端に次段の WTA ・総和回路 30 の入力端が接続される。最上段の WTA ・総和回路 30 は、入力端の各々に下段の 2 つの WTA ・総和回路 30 の出力端が接続され、出力端は BCMC 10 に接続される。

なお、図示の接続形態の他に、W T A ・ 総和回路 3 0 をカスケードに接続しても、本発明を実施することが可能である。この場合、一段目の W T A ・ 総和回路 3 0 の入力端の各々には 2 つのセルプロセッサを接続し、出力端を次段の入力端に接続する。二段目以降の W T A ・ 総和回路 3 0 の入力端の各々には、下段の W T A ・ 総和回路 3 0 の出力端と、セルプロセッサ 2 0 が接続され、出力端は次段の入力端に接続される。最上段の W T A ・ 総和回路 3 0 は、入力端の各々には、下段の W T A ・ 総和回路 3 0 の出力端と、セルプロセッサ 2 0 が接続され、出力端は B C M C 1 0 に接続される。

各セルプロセッサ 2 0 間は、図示しない共有メモリを介してリング接続される。

【 0 0 1 9 】

ブロードキャストチャンネルは、アドレスを送るアドレスバスと、各セルプロセッサ 2 0 のデータ処理結果である状態変数値などのデータを送るデータバスとを含んで構成される。アドレスには、個々のセルプロセッサ 2 0 を特定するためのセルアドレスと、すべてのセルプロセッサを対象とするブロードキャストアドレスとがある。セルアドレスは、メモリ上のアドレス（物理アドレス又は論理アドレス）に対応しており、セルプロセッサ 2 0 のデータ処理結果は、常に、当該セルプロセッサ 2 0 を示すセルアドレスと同じメモリ上のアドレスに記憶される。

【 0 0 2 0 】

次に、B C M C 1 0、セルプロセッサ 2 0、W T A ・ 総和回路 3 0 のそれぞれについて詳細に説明する。

【 0 0 2 1 】

< B C M C >

B C M C 1 0 は、本発明におけるコントローラに相当し、ブロードキャストチャンネルによりすべてのセルプロセッサ 2 0 にデータをブロードキャストするとともに、各セルプロセッサ 2 0 によるデータ処理結果を受信して保持する。図 2 に B C M C 1 0 の構成例を示す。

B C M C 1 0 は、マルチプロセッサシステム 1 全体の動作を制御する C P U コア 1 0 1 と、S R A M (static random access memory) などの書き換え可能な

メインメモリ 1 0 2 と、DMAC (direct memory access controller) 1 0 3 とをバス B 1 で接続して構成される。バス B 1 には、最上段の W T A ・ 総和回路 3 0 の出力端及びハードディスクや可搬性メディア等の外部メモリも接続される。

【 0 0 2 2 】

CPU コア 1 0 1 は、起動時に外部メモリから、起動プログラムを読み込み、その起動プログラムを実行してオペレーティングシステムを動作させる。また、メインメモリ 1 0 2 から読み出したデータに基づいて、各セルプロセッサ 2 0 に対してブロードキャストするブロードキャストデータを生成する。ブロードキャストデータは、状態変数値と当該状態変数値を算出したセルプロセッサ 2 0 を示すセルアドレスとの組からなる、1 又は複数組のペアデータである。CPU コア 1 0 1 は、本発明のデータ生成手段の機能を備える。

メインメモリ 1 0 2 は、各セルプロセッサ 2 0 のデータ処理結果である状態変数値などのデータを記憶するものであり、マルチプロセッサシステム 1 全体の共有メモリである。状態変数値は、当該状態変数値を算出したセルプロセッサ 2 0 のセルアドレスに応じたメインメモリ 1 0 2 のアドレスに記憶される。メインメモリ 1 0 2 は、本発明の記録手段の機能を備える。

DMAC 1 0 3 は、メインメモリ 1 0 2 と各セルプロセッサ 2 0 との間のダイレクトメモリアクセス転送制御を行う。例えば、各セルプロセッサ 2 0 に対しては、ブロードキャストデータをブロードキャストする。また、各セルプロセッサ 2 0 のデータ処理結果を個別に取得して、メインメモリ 1 0 2 に書き込む。DMAC 1 0 3 は、本発明の通信制御手段の機能を備える。

【 0 0 2 3 】

< セルプロセッサ >

各セルプロセッサ 2 0 の各々は、本発明におけるプロセッサに相当し、ブロードキャストデータの中から必要となるデータを取捨選択してデータ処理を行い、データ処理の終了時に、その旨を W T A ・ 総和回路 3 0 へ報告する。データ処理結果を、BCMC 1 0 から指示があるまで保持する。各セルプロセッサ 2 0 には、各々を識別するための識別情報として I D (identification) が付されている。

。図3にセルプロセッサ20の構成例を示す。

セルプロセッサ20は、セルCPU201と、入力バッファ202と、出力バッファ203と、WTAバッファ204と、プログラムコントローラ205と、命令メモリ206と、データメモリ207と、を含んで構成される。

【0024】

セルCPU201は、浮動小数点の演算器を備えた数値計算用のプロセッサであり、セルプロセッサ20内の全体の動作を制御するものである。特に、セルCPU201は、以下の2つの処理を行う。

一つ目の処理は、BCMC10からブロードキャストされたブロードキャストデータを入力バッファ202を介して取得し、ペアデータのセルアドレスにより自己が行うべき処理に必要なデータか否かを判断して、必要であればデータメモリ207の対応するアドレスに状態変数値を書き込む処理である。二つ目の処理は、データメモリ207から状態変数値を読み出してデータ処理を行い、データ処理結果を出力バッファ204に書き込み、WTA・総和回路30にデータ処理の終了を示すデータを送る処理である。

セルCPU201は、本発明におけるデータ処理機構に相当する。

【0025】

入力バッファ202は、BCMC10からブロードキャストされたブロードキャストデータを保持するものである。保持されたブロードキャストデータは、セルCPU201からの要求により、セルCPU201へ送られる。

出力バッファ203は、セルCPU201によるデータ処理結果を保持するものである。保持されたデータ処理結果は、BCMC10からの要求により、BCMC10へ送信される。

WTAバッファ204は、セルCPU201によるデータ処理の終了時に、セルCPU201からデータ処理の終了を示すデータを受信して、これをWTA・総和回路30へ送信することにより、データ処理の終了をWTA・総和回路30報告するものである。データ処理の終了を示すデータには、自セルプロセッサ20のIDを示すIDデータと、出力バッファ203に保存されたデータ処理結果がBCMC10へ読み取られるときの優先度を定める優先度データとが含まれる

【 0 0 2 6 】

プログラムコントローラ 2 0 5 は、セルプロセッサ 2 0 の動作を規定するプログラムデータを BCMC 1 0 から取り込むものである。セルプロセッサ 2 0 の動作を規定するプログラムデータには、セルプロセッサ 2 0 で実行されるデータ処理のためのプログラムや、当該セルプロセッサ 2 0 で処理に必要なデータを定めるデータ選択プログラム、処理結果が BCMC 1 0 へ読み取られるときの優先度を定める優先度決定プログラムなどがある。

命令メモリ 2 0 6 は、プログラムコントローラ 2 0 5 により取り込んだプログラムデータを保存するものである。保存したプログラムデータは、必要に応じてセル CPU 2 0 1 に読み込まれる。

【 0 0 2 7 】

データメモリ 2 0 7 は、セルプロセッサ 2 0 において処理されるデータを保存するものである。セル CPU 2 0 1 により必要と判断されたブロードキャストデータが書き込まれる。ブロードキャストデータは、セルアドレスに応じたアドレスに保存される。

また、データメモリの一部は共有メモリを介して隣接するセルプロセッサ 2 0 に繋がっており、1 サイクル毎に隣接するセルプロセッサ 2 0 とデータの授受ができる。

【 0 0 2 8 】

< W T A ・ 総和回路 >

複数の W T A ・ 総和回路 3 0 は、各セルプロセッサ 2 0 から送られるデータ処理の終了を示すデータにより、BCMC 1 0 がセルプロセッサ 2 0 からデータ処理結果を取り込む順序を決めて BCMC 1 0 へ報告する。図 4 に W T A ・ 総和回路 3 0 の構成例を示す。

各 W T A ・ 総和回路 3 0 は、2 つの入力レジスタ A、B（以下、第 1 入力レジスタ 3 0 1、第 2 入力レジスタ 3 0 2）と、切替器 3 0 3 と、比較器 3 0 4 と、加算器 3 0 5 と、出力レジスタ 3 0 6 と、を含んで構成される。

【 0 0 2 9 】

第1入力レジスタ301及び第2入力レジスタ302は、それぞれ整数レジスタ及び浮動小数点レジスタを備えている。整数レジスタには、例えばセルプロセッサ20から送られるデータ処理の終了を示すデータのうち、IDデータが書き込まれ、浮動小数点レジスタには、例えば優先度データが書き込まれるようになっている。

切替器303は、比較器304及び加算器305のいずれか一方を活性化する。具体的には、動作モードに従って一方のみを使用可能とする。動作モードは、例えばBCMC10からの指示により決められる。

比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値の比較を行い、大きい方（又は小さい方）の値と、それに付随する整数とを、出力レジスタ306へ書き込む。

加算器305は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値の和を算出し、算出結果を出力レジスタへ書き込む。

出力レジスタ306は、第1入力レジスタ301及び第2入力レジスタ302とほぼ同じに構成される。つまり、整数レジスタ及び浮動小数点レジスタを備えている。整数レジスタにはIDデータが書き込まれ、浮動小数点レジスタには優先度データが書き込まれるようになっている。

【0030】

WTA・総和回路回路30は、以下に説明する3つの動作モードをもつ。

【0031】

最大値（WTA）モード：

切替器303により、比較器304が活性化される。比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの比較を行い、大きい方（又は小さい方）の値と、それに付随する整数値を出力レジスタ306に書き込む。出力レジスタ306への書き込みが終了すると、第1入力レジスタ301及び第2入力レジスタ302をクリアする。出力レジスタ306の内容は、次段のWTA・総和回路回路30の入力レジスタに書き込まれる。このとき、書き込み先の入力レジスタがクリアさ

れていないときは、書き込みがストールして、そのサイクルでは書き込みを行わない。

【0032】

加算モード：

切換器303により、加算器305が活性化される。加算器305により、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの和を算出し、算出結果を出力レジスタ306に書き込む。出力レジスタ306の内容は、次段のWTA・総和回路回路30の入力レジスタに書き込まれる。

【0033】

近似ソートモード：

切換器303により、比較器304が活性化される。比較器304は、第1入力レジスタ301及び第2入力レジスタ302の各々の浮動小数点レジスタが保持する浮動小数点値A、Bの比較を行い、大きい方（又は小さい方）の値と付随する整数値を出力レジスタ306に書き込む。その後、出力レジスタ306に書き込まれた値を保持していた入力レジスタのみをクリアする。出力レジスタ306の内容を、次段のWTA・総和回路回路30の入力レジスタに書き込む。書き込み先の入力レジスタがクリアされていない場合は、書き込みがストールし、そのサイクルでは書き込みを行わない。ただし、一段前のWTA・総和回路回路30の出力レジスタ306からの書き込み動作は行われる。

近似ソートモードにより、BCMC10がWTA・総和回路30の最終段の出力レジスタ306からデータを受け取る度に、入力がある程度ソートされつつ流れて行く。

【0034】

各モードに入る前には、すべてのWTA・総和回路30の第1入力レジスタ301、第2入力レジスタ302及び出力レジスタ306がクリアされる。

【0035】

各モードを切替えて使用することにより、複数のWTA・総和回路30全体として、本発明におけるソート機構や、総和回路として機能する。つまり、近似ソ

ートモードで動作するときは、ソート機構を実現するものとなり、加算モードで動作するときは、総和回路を実現するものとなる。

【0036】

<処理方法>

本実施形態におけるマルチプロセッサシステム1は、以下のように動作する。図5は、このマルチプロセッサシステム1の処理の流れを示すフローチャートである。

【0037】

BCMC10のメインメモリ102には、すべてのセルプロセッサ20の状態変数値の初期値が予め記憶される。BCMC10は、このセルプロセッサ20の状態変数値とセルプロセッサ20を示すセルアドレスとからなるペアデータにより、ブロードキャストデータを作成する（ステップS101）。作成したブロードキャストデータは、BCMC10からすべてのセルプロセッサ20へブロードキャストされる（ステップS102）。

各セルプロセッサ20は、ブロードキャストデータを、入力バッファ202に取り込む。セルCPU201は、命令メモリ206に記憶されたデータ選択プログラムにより、入力バッファ202が保持するブロードキャストデータのセルアドレスを調べ、自セルプロセッサ20が行うデータ処理に要する状態変数値があるか否かを確認する（ステップS103）。自セルプロセッサ20が行うデータ処理に要する状態変数値が無い場合、セルプロセッサ20は、処理動作を終了する（ステップS103：無）。

自セルプロセッサ20が行うデータ処理に要する状態変数値が有る場合は（ステップS103：有）、該当する状態変数値を、この状態変数値とペアデータを組むセルアドレスに対応するデータメモリ207上のアドレスへ上書きする（ステップS104）。

以上により、BCMC10から各セルプロセッサ20へのデータのブロードキャストが終了する。

【0038】

ブロードキャストが終了すると、各セルプロセッサ20は、命令メモリ206

に記憶されたデータ処理のプログラムにより、データメモリ207に記録された状態変数値をデータ処理して新たな状態変数値を得る。新たな状態変数値は、データメモリ207に書き込まれるとともに、出力バッファ204にも書き込まれる（ステップS105）。新たな状態変数値は、データメモリ207上の、自セルプロセッサを示すセルアドレスに対応するアドレスに、上書きされる。データ処理が終了すると、セルCPU201は、WTAバッファ204を介して1段目のWTA・総和回路30の入力レジスタへIDデータと優先度データとを送信して、データ処理の終了を報告する（ステップS106）。優先度データは、優先度決定プログラムにより生成される。

【0039】

1段目のWTA・総和回路30は、各セルプロセッサ20から送られるIDデータを入力レジスタの整数レジスタへ、優先度データを浮動小数点レジスタでそれぞれ保持する。ここで、WTA・総和回路30は近似ソートモードで動作する。そのために、切換器303は、比較器304を活性化する。

WTA・総和回路30の第1入力レジスタ301及び第2入力レジスタの整数レジスタは、各々異なるIDデータを保持する。また、各々の浮動小数点レジスタは、IDデータに付随した優先度データを保持する。比較器304は、第1入力レジスタ301及び第2入力レジスタの浮動小数点レジスタからそれぞれ優先度データを読み出し、優先度を比較する。比較の結果、優先度が高い方の優先度データ及びそれに付随したIDデータを、出力レジスタ306の浮動小数点レジスタ及び整数レジスタへ書き込む。出力レジスタ306へ内容が書き込まれた入力レジスタは、その内容がクリアされる。出力レジスタ306へ書き込まれたIDデータ及び優先度データは、次段のWTA・総和回路30の入力レジスタへ書き込まれる。

このような処理を格段のWTA・総和回路30で行う。最上段のWTA・総和回路30は、出力レジスタ306の整数レジスタに書き込まれたIDデータをBCMC10へ送る。

以上のような処理により、WTA・総和回路30全体としては、IDデータを、優先度の高い順序でBCMC10へ送ることとなる（ステップS107）。

【 0 0 4 0 】

BCMC 1 0 は、W T A ・ 総和回路 3 0 から送られる I D データに該当するセルプロセッサ 2 0 の出力バッファ 2 0 3 から、データ処理された状態変数値を取得する。取得した状態変数値は、BCMC 1 0 内のメインメモリ 1 0 2 上の、処理を行ったセルプロセッサ 2 0 を示すセルアドレスに対応するアドレスに上書きされる（ステップ S 1 0 8）。

以上で、状態変数値の処理動作の 1 サイクルが終了する。

【 0 0 4 1 】

BCMC 1 0 が、各セルプロセッサ 2 0 からデータ処理結果を取得し、これによりブロードキャストデータを生成する。複数のセルプロセッサは、ブロードキャストデータから自プロセッサに必要なデータのみを取捨選択してデータ処理を行う。すべてのブロードキャストデータを用いてデータ処理を行うことにより、

（2）に示すような、すべてのセルプロセッサ 2 0 により処理されたデータを使用する処理が可能となる。また、ブロードキャストデータを、ペアデータにより作成することにより、特定のセルプロセッサ 2 0 のデータ処理結果のみを用いる

（3）に示すような処理が可能となる。さらに、隣接するセルプロセッサ 2 0 間は共有メモリを介して接続されているので、（1）の処理も従来と同様に処理可能である。

各セルプロセッサ 2 0 が、メインメモリ 1 0 2 に、直接、自セルプロセッサで必要とするデータを取り込みに行くことがなく、ブロードキャストデータから必要となるデータを選択して、各セルプロセッサ 2 0 内にデータを保持して処理を行うので、データの競合が起こらずに高速処理が可能となる。

【 0 0 4 2 】

なお、最大値モード、近似ソートモードで動作する W T A ・ 総和回路 3 0 は、次に示すようにして実現してもよい。

【 0 0 4 3 】

すなわち、セルプロセッサ 2 0 と同数の入力レジスタと、切換器と、比較器と、加算器と、出力レジスタと、を含んで W T A ・ 総和回路を構成する。

【 0 0 4 4 】

入力レジスタは、第1レジスタ301、第2レジスタ302と同様に、整数レジスタ及び浮動小数点レジスタを備えるものである。整数レジスタには、例えばセルプロセッサ20から送られるデータ処理の終了を示すデータのうち、IDデータが書き込まれ、浮動小数点レジスタには、例えば優先度データが書き込まれるようになっている。

切替器は、比較器及び加算器のいずれか一方を活性化する。具体的には、動作モードに従って一方のみを使用可能とする。動作モードは、例えばBCMC10からの指示により決められる。

比較器は、各入力レジスタの各々の浮動小数点レジスタが保持する浮動小数点値の比較を行い、大きい方（又は小さい方）の値と、それに付随する整数とを、出力レジスタへ書き込む。

加算器は、各入力レジスタの各々の浮動小数点レジスタが保持する浮動小数点値の和を算出し、算出結果を出力レジスタへ書き込む。

出力レジスタは、入力レジスタと同じ構成であり、整数レジスタ及び浮動小数点レジスタを備える。整数レジスタにはIDデータが書き込まれ、浮動小数点レジスタには優先度データが書き込まれるようになっている。

【0045】

比較器により、各入力レジスタの浮動小数点レジスタが保持する優先度データを比較して、優先度の高い順に、付随するIDデータを順次出力レジスタに書き込む。これにより、IDデータを、優先度の高い順序でBCMC10へ送ることができる。

加算器により、各浮動小数点レジスタが保持するデータを加算して、その総和を求めることができる。

このようなWTA・総和回路は、図1に示すような接続形態をとらなくとも、一つで、本発明におけるソート機構、総和回路として機能する。

【0046】

<実施例1>

処理を行うプロセッサに隣接するプロセッサにより処理されたデータのみを使用する場合（（1）の処理に該当）：

$n \times n$ の格子点データに対して、次のようなフィルタ計算を連続的に実行する場合を考える。

$$X_{i,j} = (X_{i-1,j} + X_{i+1,j} + X_{i,j-1} + X_{i,j+1}) / 4$$

i : 格子点の行番号、 j : 格子点の列番号

【0047】

BCMC10は、格子点データを行又は列でグループ化したブロードキャストデータとして、 n 個のセルプロセッサ20にブロードキャストする。

図9は、格子点データをグループ化した例示図であり、「○」で示される格子点データを5個ずつグループ化してある。一つのグループ化した格子点データが、一つのセルプロセッサ20で処理される。

セルプロセッサ20では、ブロードキャストデータから必要とするグループ化された格子点データをデータメモリ207に保存する。データメモリ207から、格子点データを順次読み出してデータ処理する。

【0048】

共有メモリを介して接続されるセルプロセッサ20との間では、共有メモリを用いてデータ転送を行う。共有メモリへのデータの書込動作を1サイクルとすると、セルプロセッサ20間のグループ化されたデータの転送は、 $2n$ サイクルで行うことができる。

各セルプロセッサを同期的に動作させ、共有メモリへの書き込みと演算をパイプライン的に実行することにより、セルプロセッサ20間の通信と演算を同時に行うことができる。

【0049】

次のブロードキャストデータは、グループ化された格子点データのデータ処理が終了する度に、BCMC10によりブロードキャストされる。セルプロセッサ20は、ブロードキャストされるデータの i 、 j により、必要なデータか否かを判断する。

ブロードキャストデータをグループ化することにより行又は列方向のデータを処理可能であり、共有データを介してデータ転送することにより列又は行方向のデータ処理が可能となる。

【 0 0 5 0 】

＜実施例 2＞

すべてのプロセッサのうち、一部のプロセッサにより処理されたデータのみを使用する（（3）の処理に該当）：ホップフィールドの連想記憶器の実現

各セルプロセッサ 2 0 は、データ処理結果である状態変数値と重み係数とを保持するものとする。また、セルプロセッサ 2 0 には、番号が付されており、B C M C 1 0 は、番号順にセルプロセッサ 2 0 から状態変数値を読み出す。

B C M C 1 0 は、すべてのセルプロセッサ 2 0 から読み出した状態変数値をブロードキャストする。各セルプロセッサ 2 0 は、ブロードキャストされた状態変数値から必要な状態変数値のみを選択して重み係数との積和演算を行い、状態変数値を更新する。必要な状態変数値が、ブロードキャストされたすべての状態変数値の場合、すべてのプロセッサにより処理されたデータを使用する（2）の処理に該当することとなる。

【 0 0 5 1 】

＜実施例 3＞

パターンマッチング計算：

入力データの特徴に最も類似するデータを保持するセルプロセッサ 2 0 を特定する処理は、以下のようにして行う。

各セルプロセッサ 2 0 は、予め比較対象となるテンプレートデータを保持する。

B C M C 1 0 は、入力データをすべてのセルプロセッサ 2 0 にブロードキャストする。各セルプロセッサ 2 0 は、自セルプロセッサ 2 0 が保持するテンプレートデータの特徴と入力データの特徴との差分値を算出する。差分値は、I D データとともに W T A ・総和回路 3 0 へ送られる。

W T A ・総和回路 3 0 は、最大値モードで動作する。入力レジスタの整数レジスタは I D データを保持し、浮動小数点レジスタは差分値を保持する。差分値を比較器 3 0 4 により比較して、小さい方の差分値とそれに付随する I D データを出力レジスタ 3 0 6 へ送る。これを W T A ・総和回路 3 0 全体で行い、最も小さい差分値とそれに付随する I D データを求める。この I D データ及び差分値を B

CMC10へ送る。

BCMC10は、IDデータによりセルプロセッサ20を特定する。これにより、入力データの特徴に最も類似するテンプレートデータ及び入力データの特徴と最も類似するテンプレートデータとの差分値も検出できる。

【0052】

<実施例4>

衝突判定アルゴリズム：

仮想空間内に存するn個のオブジェクトが衝突する場合を考える。n個のオブジェクトの空間分布には偏りがあり、m個のクラスタに分かれているとする。

図10は、このような場合の例示図であり、「○」で表されるオブジェクトを矩形で囲んで1クラスタとしており、図10ではオブジェクトが5個のクラスタに分けられている。オブジェクトを示すデータは、BCMC10からブロードキャストされ、クラスタ毎にセルプロセッサ20に取り込まれる。

図11により、衝突判定アルゴリズムの処理の流れを説明する。

【0053】

BCMC10は、オブジェクトの位置や速度のデータを含むオブジェクトデータと、該当オブジェクトが属するクラスタを示すクラスタデータとを含むブロードキャストデータを生成し、すべてのセルプロセッサ20にブロードキャストする（ステップS201）。セルプロセッサ20は、ブロードキャストデータをクラスタデータに基づいて取捨選択して取り込む。

ブロードキャストデータを取り込んだセルプロセッサ20は、オブジェクトの現在の位置データと速度データとから、単位時間後の新しい位置データを算出する。新しい位置データから、新しいバウンディングボックス（Xmin、Xmax、Ymin、Ymax、Zmin、Zmax）の値を得る（ステップS202）。バウンディングボックスは、例えば、図10における、オブジェクトを囲む矩形である。

BCMC10は、オブジェクトの新しい位置データを各セルプロセッサ20から取り込んで位置データを更新する（ステップS203）。

【0054】

次に、BCMC10は、取得した新しい位置データを含むオブジェクトデータ

を一つずつ各セルプロセッサ20にブロードキャストする（ステップS204）。各セルプロセッサ20では、予め計算したバウンディングボックスにより、オブジェクトが衝突する可能性があるか否かを判断する（ステップS205）。具体的には、オブジェクトの位置がバウンディングボックス内にあるか否かを判断する。衝突する可能性がある場合は（ステップS205：Y）、そのセルプロセッサ20内のオブジェクトデータとの距離計算を順次行い（ステップS206）、衝突の判定を行う（ステップS207）。衝突がある場合には（ステップS207：Y）、衝突の強さや衝突によるオブジェクトへの影響などのデータを含む衝突データを生成する（ステップS208）。衝突の強さのデータをWTA・総和回路30に送る（ステップS209）。WTA・総和回路30は最大値モードで動作するようにする。

【0055】

BCMC10から送られたオブジェクトデータがバウンディングボックス外の場合（ステップS205：N）、または衝突計算の結果衝突がなかった場合は（ステップS207：N）、WTA・総和回路30に、例えば-1.0を送る（ステップS210）。WTA・総和回路30は、衝突の強さのデータにより、最も強いものを検出する（ステップS211）。WTA・総和回路30は、すべてのセルプロセッサ20の処理が終了しない限り状態遷移をして下にデータを送ることはしない。これにより、BCMC10から送られた一つのオブジェクトの衝突判定が全セルで終了して初めてWTA・総和回路30に送られるべきデータは、各セルプロセッサ20内の出力バッファに保存される。

BCMC10は、WTA・総和回路30の最終段の出力から、オブジェクトの衝突がどのセルで起こったかを知り、セルプロセッサ20に対して個別にDMA要求を出してそのオブジェクトの衝突情報を取得する（ステップS212）。

【0056】

<実施例5>

WTA・総和回路30の加算器305を用いる場合：

各セルプロセッサ20は、データ処理結果をWTA・総和回路30へ入力する。WTA・総和回路30では、加算器305によりデータ処理結果を加算し、最

最終的に、すべてのセルプロセッサ 2 0 のデータ処理結果の総和を得る。このようにして、W T A ・総和回路 3 0 により高速にデータ処理結果の総和を得ることが可能である。データ処理結果の総和は、例えば、ニューロなどの最適化計算において、正規化計算に用いられる。

データ処理結果の総和は、B C M C 1 0 に送られて、各セルプロセッサ 2 0 にブロードキャストにより、高速に送信可能である。

【 0 0 5 7 】

以上の説明において、B C M C 1 0 と W T A ・総和回路 3 0 とは各々独立したものとして説明したが、B C M C 1 0 に W T A ・総和回路 3 0 を組み込んだ一つのブロックとして、本発明におけるコントローラを構成してもよい。

【 0 0 5 8 】

【発明の効果】

以上のような本発明により、複数のプロセッサを用いる場合のプロセッサ間のデータ処理を効率的に行えるようになる。そのために、複数のプロセッサのすべてのデータ処理結果を、個々のプロセッサで有効に利用するような処理を、高速に行えるようになる。

【図面の簡単な説明】

【図 1】

本発明のマルチプロセッサシステムの構成図。

【図 2】

B C M C の構成図。

【図 3】

セルプロセッサの構成図。

【図 4】

W T A ・総和回路の構成図。

【図 5】

マルチプロセッサシステムの処理の流れを示すフローチャート。

【図 6】

隣接するプロセッサのデータ処理結果を使用する概念図。

【図 7】

すべてのプロセッサのデータ処理結果を使用する概念図。

【図 8】

一部のプロセッサのデータ処理結果を使用する概念図。

【図 9】

格子点データをグループ化した例示図。

【図 1 0】

オブジェクトをクラスタに分けた場合の例示図。

【図 1 1】

衝突判定アルゴリズムの処理の流れを示すフローチャート。

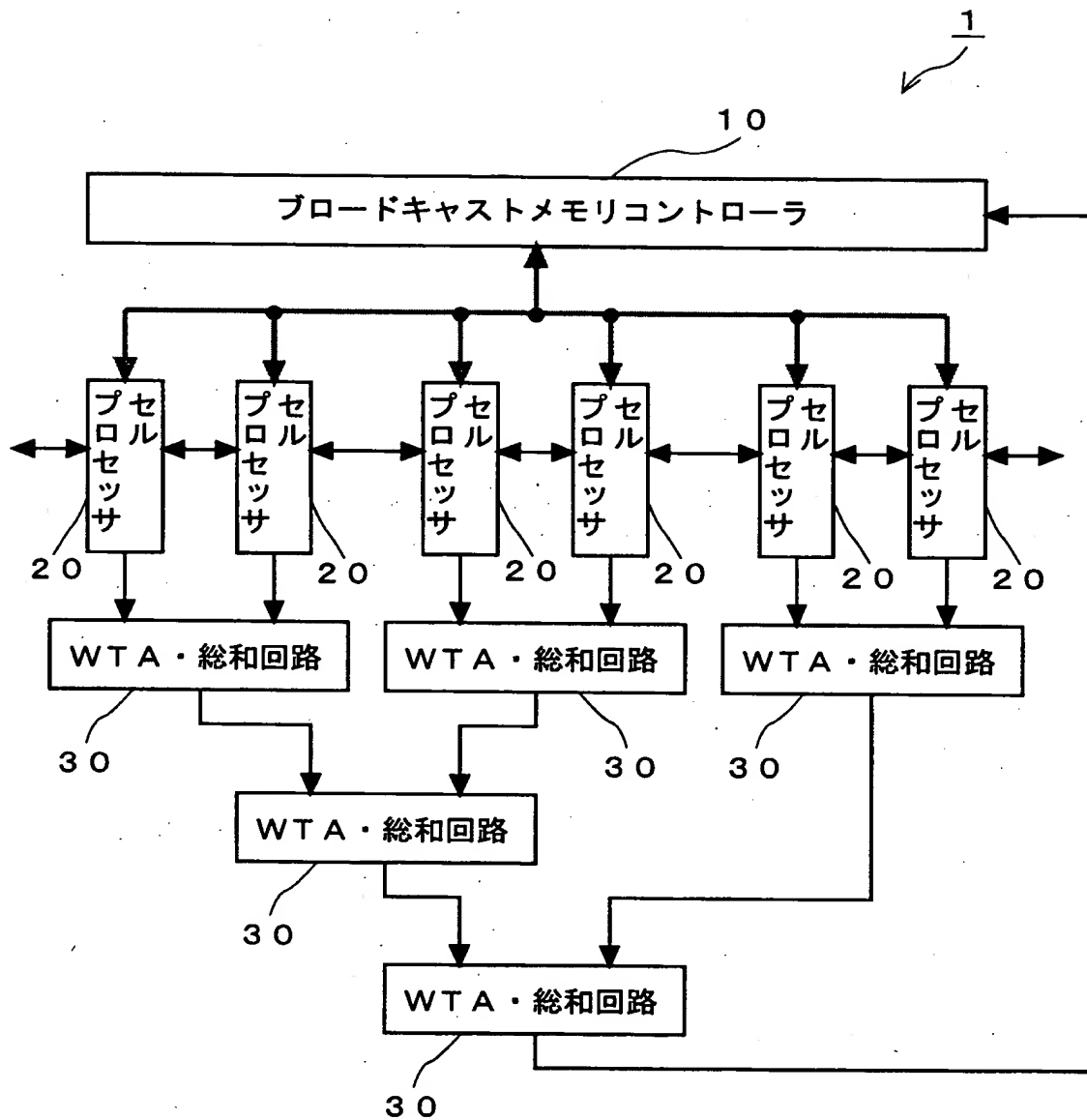
【符号の説明】

- 1 0 BCMC
- 1 0 1 CPUコア
- 1 0 2 メインメモリ
- 1 0 3 DMAC
- 2 0 セルプロセッサ
- 2 0 1 セルCPU
- 2 0 2 入力バッファ
- 2 0 3 出力バッファ
- 2 0 4 WTAバッファ
- 2 0 5 プログラムコントローラ
- 2 0 6 命令メモリ
- 2 0 7 データメモリ
- 3 0 WTA・総和回路
- 3 0 1 第1入力レジスタ
- 3 0 2 第2入力レジスタ
- 3 0 3 切換器
- 3 0 4 比較器
- 3 0 5 加算器

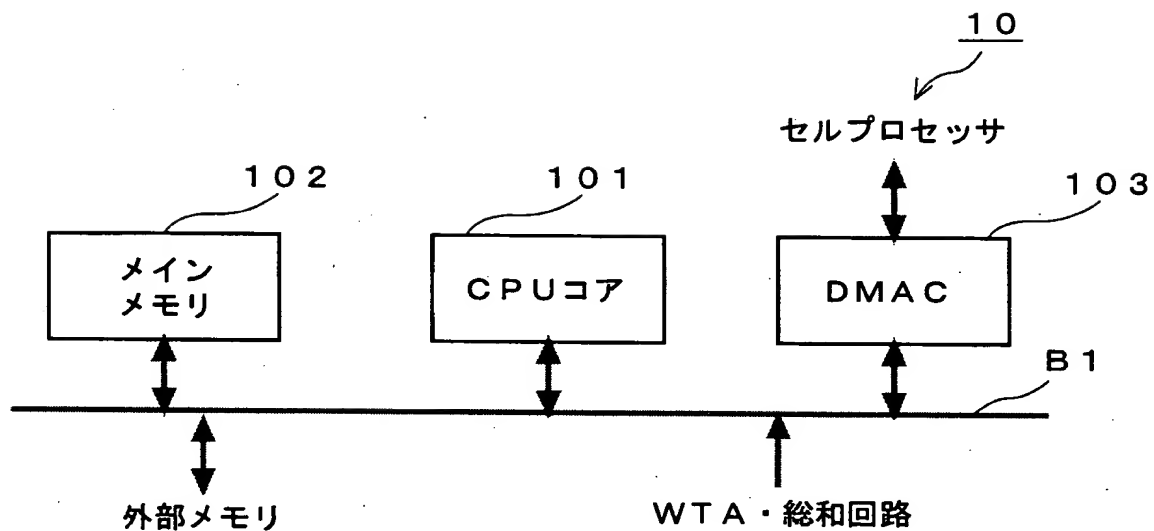
306 出力レジスタ

【書類名】 図面

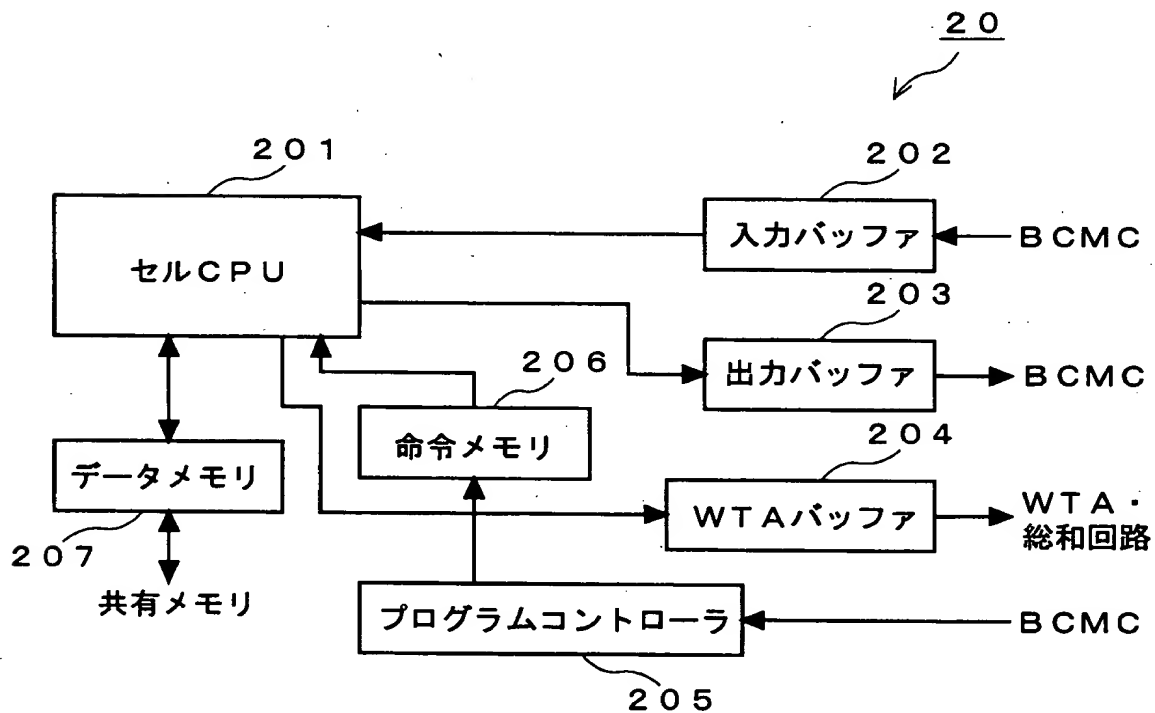
【図 1】



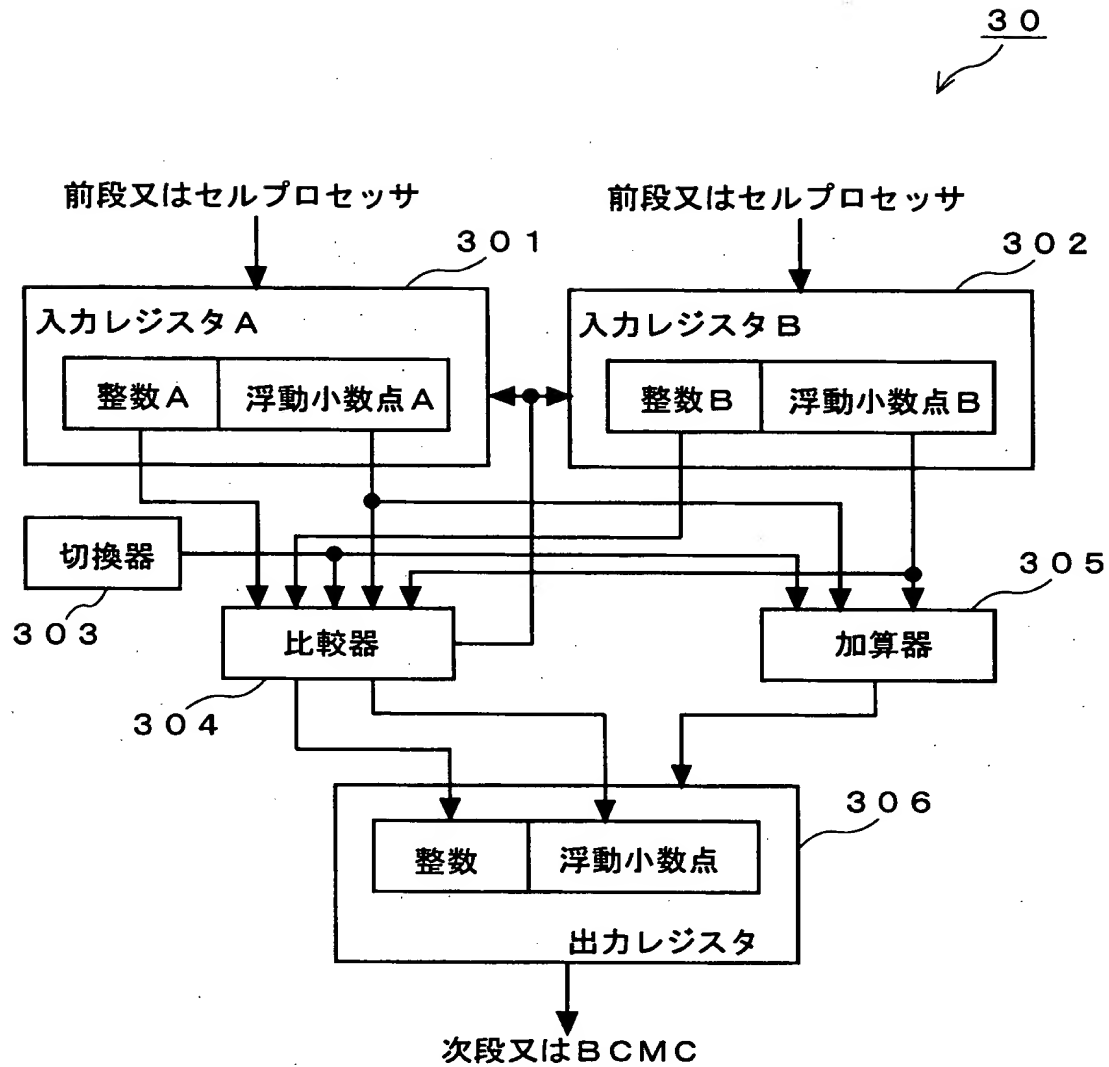
【図2】



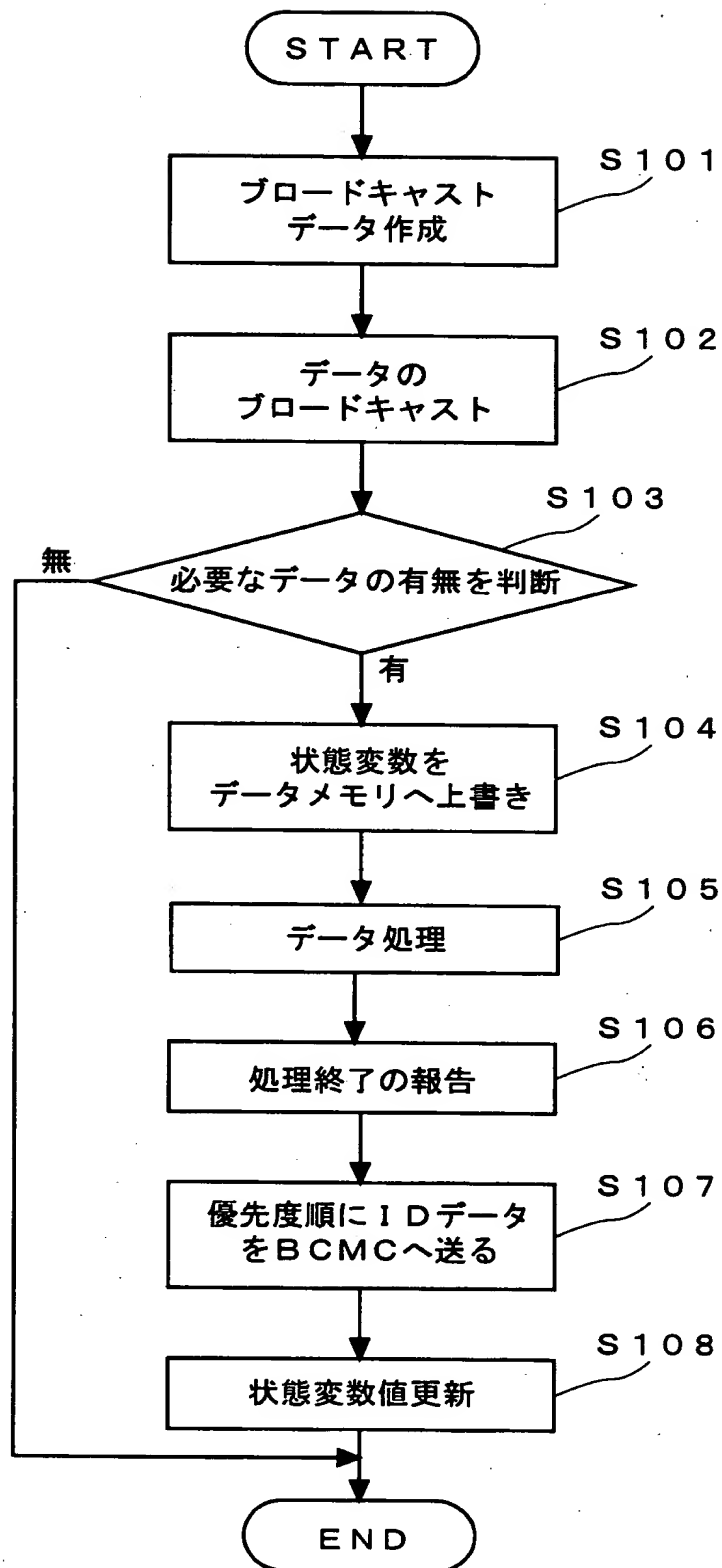
【図3】



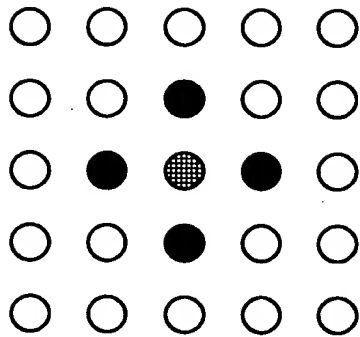
【図 4】



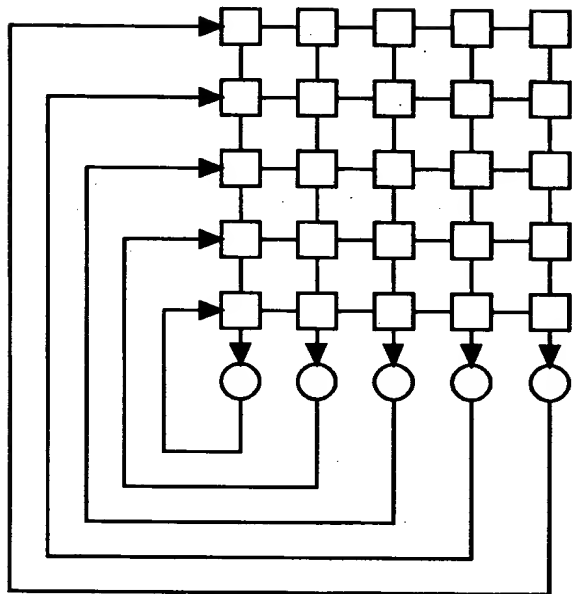
【図5】



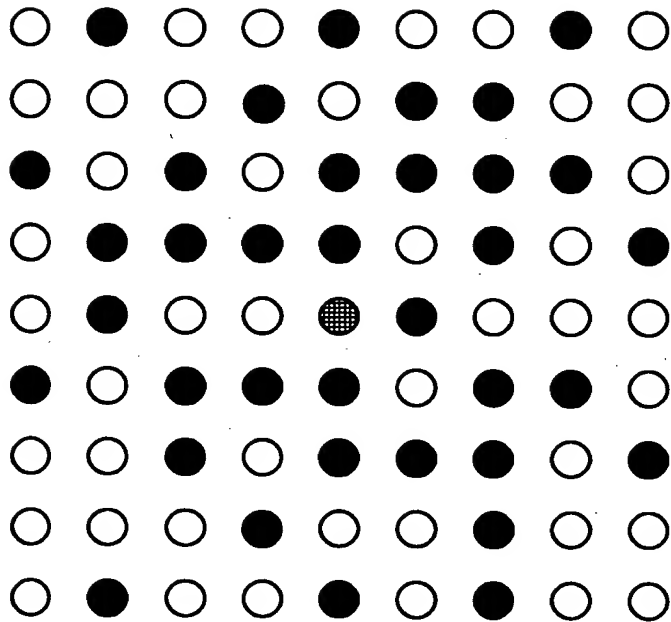
【図 6】



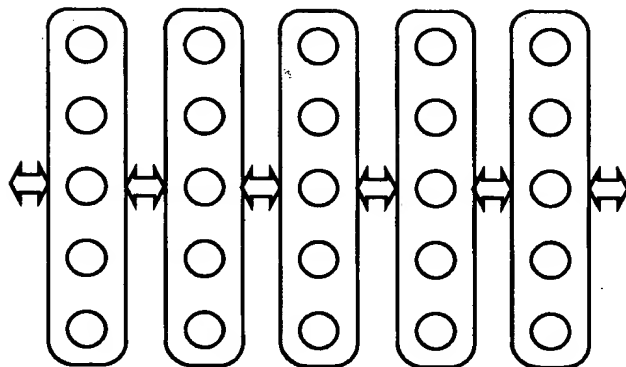
【図 7】



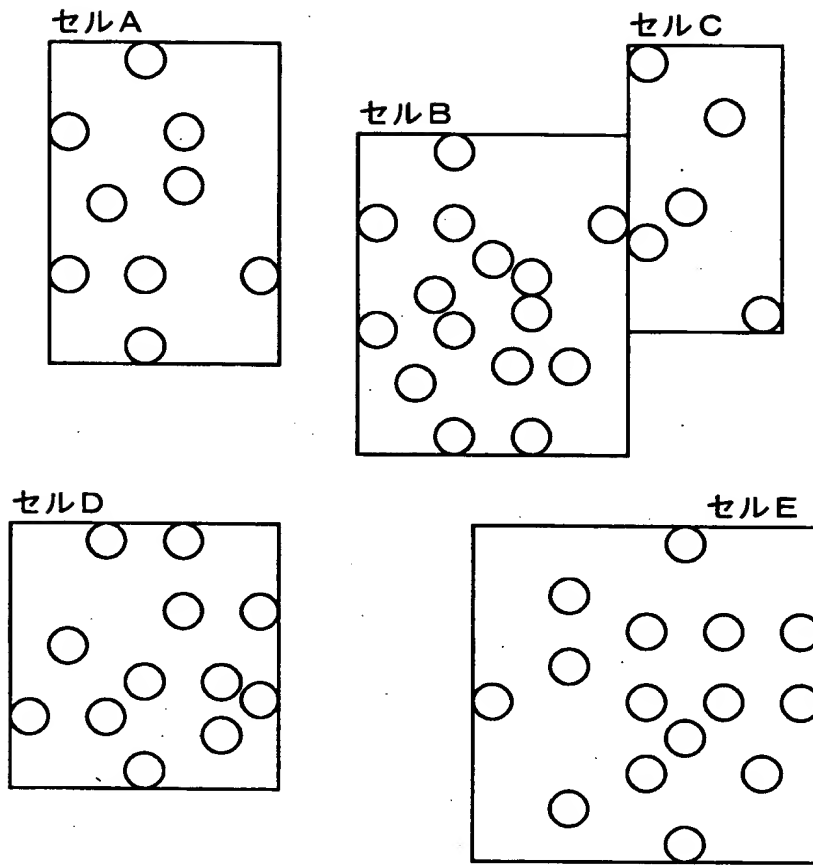
【図 8】



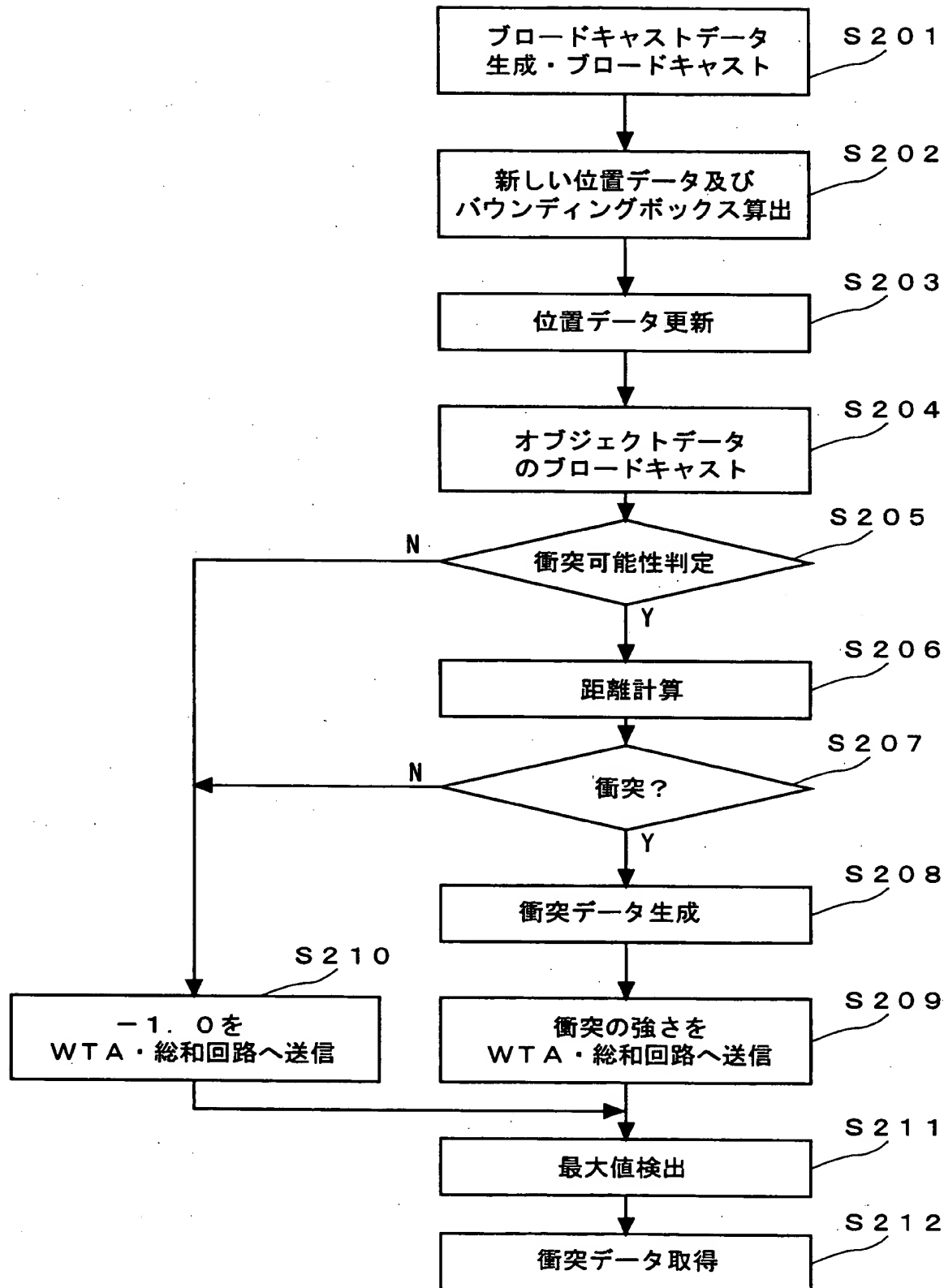
【図 9】



【図 1 0】



【図11】



【書類名】 要約書

【要約】

【課題】 マルチプロセッサシステムによる高速なデータ処理を実現する。

【解決手段】 BCMC10は、複数のセルプロセッサ20のデータ処理結果を保持するとともに、このデータ処理結果を複数のセルプロセッサへブロードキャストする。セルプロセッサは、ブロードキャストされたデータ処理結果から自セルプロセッサのデータ処理に必要なデータのみを取捨選択してデータ処理を行う。すべてのプロセッサのデータ処理結果をブロードキャストしてすべてのプロセッサへ供給するので、従来高速化の難しかったマルチプロセッサ全体のデータ処理結果を用いるデータ処理を高速で行える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [395015319]

1. 変更年月日 1997年 3月31日

[変更理由] 住所変更

住 所 東京都港区赤坂7-1-1

氏 名 株式会社ソニー・コンピュータエンタテインメント